

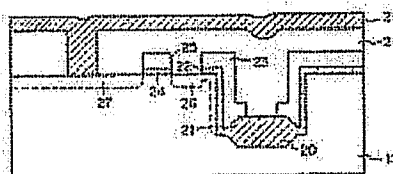
DYNAMIC MEMORY CELL AND MANUFACTURE THEREOF**Publication number:** JP62156856 (A)**Publication date:** 1987-07-11**Inventor(s):** AKU NAOHIKO**Applicant(s):** TOSHIBA CORP**Classification:****- international:** H01L27/10; G11C11/34; H01L21/8242; H01L27/108; H01L27/10;
G11C11/34; H01L21/70; H01L27/108; (IPC1-7): G11C11/34;
H01L27/10**- European:** H01L27/108F8**Application number:** JP19850297012 19851228**Priority number(s):** JP19850297012 19851228**Also published as:**

JP7019847 (B)

JP1994560 (C)

Abstract of JP 62156856 (A)

PURPOSE: To ensure reliable element isolation and enhanced integration by a method wherein an element-isolating insulating film is formed by thermal oxidation on the bottom of a groove provided in a semiconductor substrate and a capacitor cell is built on the side walls of the groove. **CONSTITUTION:** A groove is provided in a silicon substrate 15, a first oxide film 22 is formed on the side wall of the groove, and a field oxide film 20 is formed on the bottom of the groove. A first polycrystalline silicon layer 23 and N⁺ diffusion layer 21 are formed with the first gate oxide film 22 sandwiched between them, for the construction of a capacitor. A transistor is built of a second gate oxide film 24, second polycrystalline layer 25, N⁺ source/drain regions 26, 27, which reads out electric charges. On them all, a CVD oxide silicon layer 28 is formed, whereon an aluminum-silicon layer 29 is formed. The layer 29 is allowed to contact the N⁺ source/drain layer region 27 with the intermediary of a contact hole, by which electric charges are read out. With a memory cell being of a trench-type structure, an ample capacitor area may be provided in a small region.



Data supplied from the esp@cenet database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭62-156856

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)7月11日

H 01 L 27/10
G 11 C 11/34

1 0 1

7735-5F

審査請求 有 発明の数 2 (全5頁)

⑮ 発明の名称 ダイナミックメモリセルおよびその製造方法

⑯ 特 願 昭60-297012

⑰ 出 願 昭60(1985)12月28日

⑱ 発 明 者 安 久 直 彦 川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外 2 名

明 細 書

1. 発明の名称 ダイナミックメモリセル
およびその製造方法

2. 特許請求の範囲

1. 溝部を有する半導体基板と、前記溝部の側面に形成されたセルキャパシタと、前記溝部の底面に熱酸化法により形成された素子分離用絶縁膜と、前記セルキャパシタから電荷を読出す手段と、を備えることを特徴とするダイナミックメモリセル。

2. 半導体基板がシリコン基板であることを特徴とする特許請求の範囲第1項記載のダイナミックメモリセル。

3. セルキャパシタが酸化膜と、これをはさんで形成されたポリシリコン層および半導体基板内の導電層とから構成されることを特徴とする特許請求の範囲第1項または第2項記載のダイナミックメモリセル。

4. 半導体基板上に第1のマスク層を形成し、前記第1のマスク層を通して前記半導体基板に溝を掘り、前記半導体基板内の溝の側面を更に掘って側面を後退させ、少なくとも前記溝の側面および底面に第2のマスク層を形成し、前記第1のマスク層をマスクとする異方性エッチングにより前記溝の側面部の第2のマスク層を残し底面部の第2のマスク層を除去し、前記側面部に残った第2のマスク層をマスクとして前記溝の底面を熱酸化し素子分離用絶縁膜を形成し、前記第1および第2のマスク層を除去し、前記溝の側面にセルキャパシタを形成することを特徴とするダイナミックメモリセルの製造方法。

5. 半導体基板がシリコン基板であることを特徴とする特許請求の範囲第4項記載のダイナミックメモリセルの製造方法。

6. 第1のマスク層が、CVD法で堆積形成された酸化シリコン膜であることを特徴とする特許請求の範囲第4項または第5項記載のダイナミックメモリセルの製造方法。

7. 溝の側面を後退させるのに、第1のマスク層に対して選択性を有するエッチング法を用いることを特徴とする特許請求の範囲第4項乃至第6項のいずれかに記載のダイナミックメモリセルの製造方法。

8. 第2のマスク層が窒化シリコン層であることを特徴とする特許請求の範囲第4項乃至第7項のいずれかに記載のダイナミックメモリセルの製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明はダイナミックメモリセルおよびその製造方法に関する。

(発明の技術的背景)

ダイナミックメモリセルは、一般に第3図に示す等価回路で表わされる。電荷はキャパシタ33に蓄積され、この蓄積電荷はワード線31で制御されるスイッチングトランジスタ32を介してビット線30に読出される。

た後、写真蝕刻法でこれをパターニングし、パターニングしたレジスト層4をマスクとして窒化シリコン層3をエッチングする。第2図(a)はこの状態を示したものである。

次にレジスト層4を剥離した後、窒化シリコン層3をマスクとして熱処理を行い、選択的に酸化し、フィールド酸化膜5を形成する。第2図(b)はこの状態を示したものである。

続いて窒化シリコン層3をドライエッチング等で剥離し、更に酸化膜2を NH_4F で除去し、フィールド酸化膜5のみを残す。第2図(c)はこの状態を示したものである。

続いて、熱処理によって第1ゲート酸化膜7を形成し、砒素等を注入して n^+ 拡散層6を形成し、更に第1ポリシリコン層8を形成する。次にCVD法によりCVD酸化シリコン層13を堆積させ、スイッチング・トランジスタ領域のみ開孔した後、熱処理で薄い第2ゲート酸化膜9と第2ポリシリコン層10を形成する。その後、砒素注入により n^+ ソース・ドレイン領域11、12を形成し、

従来の一般的なダイナミックメモリセルの構成を第2図(d)に示す。シリコン基板1上にフィールド酸化膜5および第1ゲート酸化膜7が形成されている。この第1ゲート酸化膜7をはさんで形成された n^+ 拡散層6と第1シリコン層8とによってキャパシタが形成され、電荷が蓄積される。一方、第1ゲート酸化膜9、第2ポリシリコン層10、 n^+ ソース・ドレイン領域11、12によってトランジスタが形成され、電荷の読出が行われる。これらの上にCVD酸化シリコン層13が形成され、更にその上にアルミニウム・シリコン層14が形成されている。アルミニウム・シリコン層14はコンタクトホールを介して n^+ ソース・ドレイン領域12に接続されており、電荷が読出される。

このようなダイナミックメモリセルは、従来次のようにして製造されている。まず、第2図(a)に示すように、シリコン基板1上に熱処理で薄い酸化膜2を形成し、この上に窒化シリコン層3を堆積させる。次にこの上にレジスト層4を形成し

スイッチング・トランジスタを形成する。最後に再びCVD酸化シリコン層13を堆積させ、コンタクトホールを開孔した後、アルミニウムシリコン層14によりビット線を形成する。このような手順によって第2図(d)に示すダイナミックメモリセルが構成される。

(背景技術の問題点)

近年、メモリ素子の高集積化が望まれているが、上述のプレーナ型メモリセルでは、4Mビット以上のダイナミックRAMを構成するのは不可能と考えられている。例えばセルキャパシタの容量Cは、絶縁膜の厚みをd、誘電率を ϵ 、セル面積をSとすると

$$C = \frac{\epsilon}{d} S$$

で表わされる。ここでdの値を小さくすれば、セル面積Sを小さくしても一定の容量Cを確保できるが、酸化膜厚を100Å以下とすると信頼性の面で問題が生ずる。フィールド酸化膜の領域を減らしてセル面積の割合を増やす提案もあるが、フ

フィールド酸化膜を形成するための窒化シリコンの光露光によるパターンニング精度が $1.0\mu m$ 程度に限界があり、また、選択酸化によって生ずるバースピークの長さも $1.0\mu m$ 程度は不可避であり、大きな障害がある。

近年、キャパシタセルを三次元的に確保しようという考えのもとに、半導体基板に溝を掘るトレンチ型メモリセルが提案されてきている。これはシリコン基板を垂直にエッチングして溝を形成し、ここにCVD法により酸化シリコンを埋め込み、溝の底にCVD酸化シリコンによる素子分離領域を形成する方法である。しかしながら、この方法では溝の中にCVD酸化シリコンを形成するのが困難であり、また素子分離用絶縁膜としてCVD酸化シリコン膜は、熱酸化膜に劣るという欠点がある。

(発明の目的)

そこで本発明は、より高密度化を図ることでき、しかも確実な素子分離用絶縁膜を有するダイナミックメモリセルおよびその製造方法を提供するこ

とを目的とする。

(発明の概要)

本発明の特徴は、ダイナミックメモリセルにおいて、溝部を有する半導体基板と、溝部の側面に形成されたセルキャパシタと、溝部の底面に熱酸化法により形成された素子分離用絶縁膜と、セルキャパシタから電荷を読出す手段とを設け、確実な素子分離ができ、しかも高密度化を図ることができるようにした点にある。

本発明のもう1つの特徴は、上記ダイナミックメモリセルを製造するために、半導体基板上に第1のマスク層を形成し、この第1のマスク層を通して半導体基板に溝を掘り、半導体基板内の溝の側面を更に掘って側面を後退させ、少なくとも溝の側面および底面に第2のマスク層を形成し、第1のマスク層をマスクとする異方性エッチングにより溝の側面部の第2のマスク層を残し底面部の第2のマスク層を除去し、側面部に残った第2のマスク層をマスクとして溝の底面を熱酸化し素子分離用絶縁膜を形成し、第1および第2のマスク

層を除去し、溝の側面にセルキャパシタを形成するようにした点にある。

(発明の実施例)

以下本発明を図示する実施例に基づいて説明する。第1図(f)に本発明に係るダイナミックメモリセルの一実施例の構造を示す。シリコン基板15上に溝が掘られ、この溝の側面に第1ゲート酸化膜22が、底面にフィールド酸化膜20が形成されている。第1ゲート酸化膜22をはさんで第1ポリシリコン層23と n^+ 拡散層21とが形成され、キャパシタを構成している。一方、第2ゲート酸化膜24、第2ポリシリコン層25、 n^+ ソース・ドレイン領域26、27によってトランジスタが形成され、電荷の読出しが行われる。これらの上にCVD酸化シリコン層28が形成され、更にその上にアルミニウム・シリコン層29が形成されている。アルミニウム・シリコン層29はコンタクトホールを介して n^+ ソース・ドレイン領域27に接続されており、電荷が読出される。

このようにメモリセルをトレンチ型構造とすることにより、小さな領域内で十分なセルキャパシタ面積を確保できる。しかも素子分離用のフィールド酸化膜20は溝の底部に形成されているため、この分、面積を節約できる上、熱酸化法により形成された酸化膜であるため、CVD酸化シリコン膜に比べてリーク等の面ですぐれており、確実な素子分離が可能である。

次にこのメモリセルの製造方法の一実施例を第1図を参照して説明する。まず、シリコン基板15上に酸化膜16を 900\AA の厚みで形成し、この上に窒化シリコン層17を 2000\AA の厚みで形成する。更にこの上にCVD法によりCVD酸化シリコン膜18を 8000\AA の厚みで堆積させる。続いて写真蝕刻法により、レジスト(図示されていない)をマスクとしてCVD酸化シリコン膜18の一部分をエッチング除去し、レジストを剥離した後、CVD酸化シリコン膜18をマスクとして窒化シリコン層17、酸化膜16、およびシリコン基板15を垂直方向にエッチングし、

深さ4 μ m程度の溝を形成する。続いてCVD酸化シリコン膜18に対して選択性をもつエッチング方法で溝の内部をエッチングし、溝側面を後退させる。第1図(a)はこの状態を示したものである。ちょうどCVD酸化シリコン膜18によって溝の部分に瘤が形成された形となっている。この瘤の部分は0.7 μ m程度である。

次に熱処理により、溝の内面に酸化膜16を厚み900Å程度に形成し、更にこの上に窒化シリコン層19を2000Å程度堆積させる。第1図(b)はこの状態を示したものである。

その後、RIEによって全面エッチングする。RIEは異方性を有するため瘤の存在により表面および溝底面の窒化シリコン層19を除去し、溝側面の窒化シリコン層19を残すようなエッチングを行うことができる。続いてCVD酸化シリコン膜18をNH₄Fで除去した後、熱酸化を行い、フィールド酸化膜20を8500Åの厚みに形成する。第1図(c)はこの状態を示したものである。

によりCVD酸化シリコン層28を再び堆積させた後、コンタクトホールを開孔してアルミニウムシリコン層29によりビット線を形成する。

なお、上述の実施例では、トレンチ型のメモリセルについて説明したが、溝を残くして、ちょうどフィールド酸化膜20のみが半導体基板15内に埋込まれるようにすれば、プレーナ型のメモリセルについても本発明を適用できる。

(発明の効果)

以上のとおり本発明によれば、ダイナミックメモリセルにおいて、半導体基板に溝を設け、この溝の底面に熱酸化によって得られた素子分離用絶縁膜を、この溝の側面にキャパシタセルを、それぞれ形成するようにしたため、確実な素子分離ができ、しかも高密度化を図ることができる。

4. 図面の簡単な説明

第1図は本発明に係るダイナミックメモリセルの製造方法を示す工程図、第2図は従来のダイナミックメモリセルの製造方法を示す工程図、第3

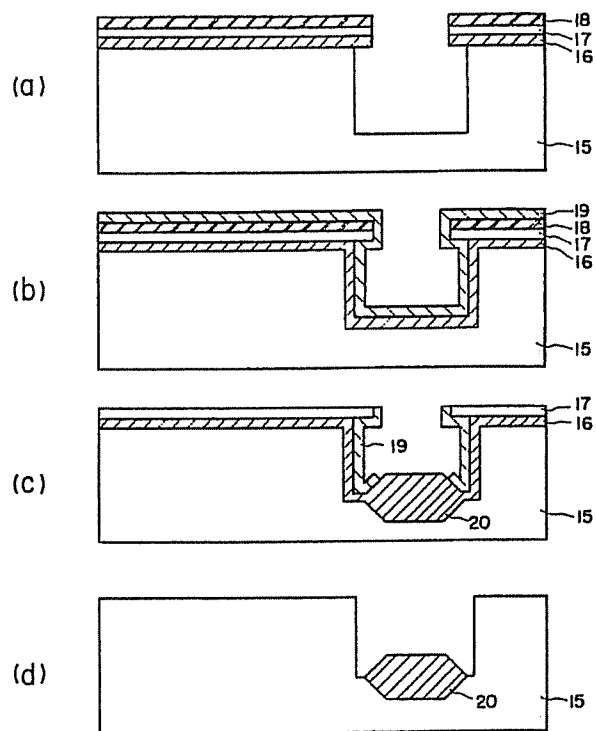
図は一般的ダイナミックメモリセルの等価回路である。

次にドライブイン等の方法でn⁺拡散層21を形成した後、熱処理で第1ゲート酸化膜22を150Å程度の厚みで形成する。更にこの上に第1ポリシリコン層23を4000Å程度の厚みで形成し、微細加工技術でパターンニングを行い、溝の底で分離する。第1図(e)はこの状態を示したものである。

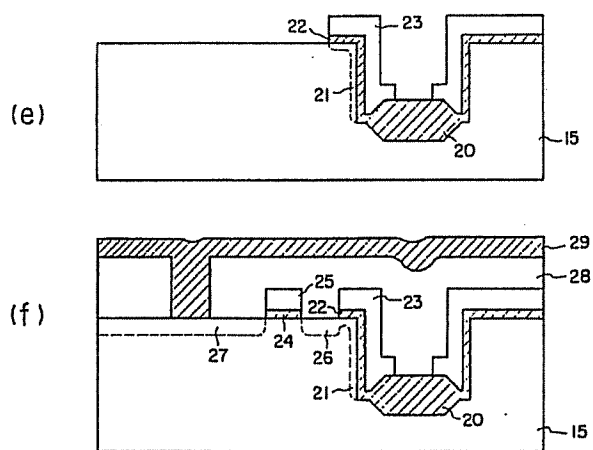
次に、CVD法によりCVD酸化シリコン層28を堆積し、スイッチング・トランジスタ領域のみを開孔し、熱処理で250Å程度の厚みの第2ゲート酸化膜24を形成し、更にこの上に第2ポリシリコン層25を4000Å程度の厚みで形成し、写真蝕刻法でパターンニングし、ワード線をつくる。その後、拡散素子を注入してn⁺ソース・ドレイン領域26、27を形成すれば、スイッチング・トランジスタが構成できる。続いてCVD法

図は一般的ダイナミックメモリセルの等価回路である。

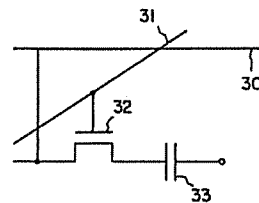
1…シリコン基板、2…酸化膜、3…窒化シリコン層、4…レジスト層、5…フィールド酸化膜、6…n⁺拡散層、7…第1ゲート酸化膜、8…第1ポリシリコン層、9…第2ゲート酸化膜、10…第2ポリシリコン層、11、12…n⁺ソース・ドレイン領域、13…CVD酸化シリコン層、14…アルミニウム・シリコン層、15…シリコン基板、16…酸化膜、17…窒化シリコン層、18…CVD酸化シリコン膜、19…窒化シリコン層、20…フィールド酸化膜、21…n⁺拡散層、22…第1ゲート酸化膜、23…第1ポリシリコン層、24…第2ゲート酸化膜、25…第2ポリシリコン層、26、27…n⁺ソース・ドレイン領域、28…CVD酸化シリコン層、29…アルミニウム・シリコン層、30…ビット線、31…ワード線、32…スイッチング・トランジスタ、33…キャパシタ。



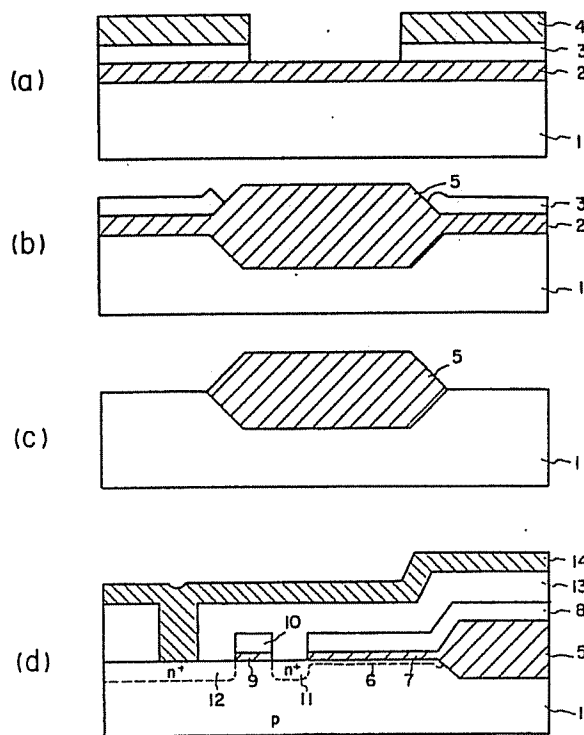
第 1 図



第 1 図



第 3 図



第 2 図